

1. [5] Disegnare una memoria cache (parte dati + TAG + bit di validità) e la sua porta di lettura. Considerate un'architettura MIPS a 32 bit, a 4 vie di 64 KByte per banco, e linee di 8 parole (per ciascun banco). Definire cosa rappresenta il campo TAG e dimensionarlo opportunamente. Dove posso trovare il dato letto dall'istruzione `lw $t1, 1024($0)`? Da quanti bit è costituita questa memoria complessivamente? Cosa succede quando si verifica una miss? Come si può limitare la frequenza di miss? Spiegare come funziona la tecnica di sostituzione LRU esatta e LRU approssimata.
2. [5] Costruire la memoria dell'esercizio 1 con DIMM 1 K x 16. Utilizzare chip con segnale di abilitazione per semplificare la gestione e costruire solo la parte dati. Evidenziare i collegamenti tra i componenti e identificare dove si possa trovare il dato letto dall'istruzione `lw $t1, 1024($0)`.
3. [3] Cosa sono i codici di rilevamento e correzione degli errori? Come funziona il codice di Hamming? Calcolare il codice per il numero binario 0000 0001 (1 è LSB!). Chi utilizza il codice di rilevamento e correzione degli errori? Schizzare uno schema a blocchi di un modulo, che mediante il codice di Hamming, possa correggere un errore singolo.
4. [3] Che cos'è e che cosa rappresenta il "roof model"? Cosa rappresenta l'intensità aritmetica? Si riferisce a una CPU o ad un particolare programma? Come viene determinato? Fare un esempio di calcolo del roof model. Un programma che elabora matrici sparse sarà un programma con intensità aritmetica alta o bassa? Perché? Quali sono i passi per ottimizzare le prestazioni del codice suggeriti dal roof-model? Cos'è un kernel benchmark? Cos'è lo SPEC?
5. [2] Riportare alcune caratteristiche della architettura x86. A cosa serve il post-byte?
6. [4] Spiegare il funzionamento della pipeline dell'Intel i7 (Figura 1) identificando le diverse fasi del ciclo di esecuzione.
7. [4] Come viene gestito l'input/output dalle architetture MIPS e dalle architetture Intel? Identificare i componenti principali di un'interfaccia di una periferica. Descrivere il protocollo e la struttura di un collegamento daisy chain e di un arbitraggio centralizzato con priorità. Cosa sono i bridge? Come sono organizzati i dischi magnetici? Come viene calcolata la latenza in lettura di un disco? Come si può mascherare?
8. [3] Cosa si intende per gerarchia delle memorie? Spiegare chiaramente cosa si intenda per **coerenza** e **consistenza** di una memoria. Fare degli esempi. A quali memorie si applicano? Spiegare come funzionano i seguenti protocolli che mirano a garantire la coerenza:
 - a) Write-back
 - b) Write-through
 - c) Write invalidateCos'è il lock? A cosa serve?
9. [3] Cos'è la memoria virtuale? Cos'è la Tabella delle pagine? Dove si trova? Cos'è il "Translation Lookaside buffer"? Dove si trova? A cosa servono la memoria virtuale, il TLB e la tabella delle pagine? Che relazione c'è tra la memoria virtuale e la memoria fisica? Chi utilizza la memoria virtuale? Chi utilizza la memoria fisica? Cosa succede quando la CPU chiede una parola alla memoria?
10. [1] Enunciare la legge di Amdhal. Quali indicazioni fornisce ai progettisti di Architetture?
11. [2] Disegnare una cella di DRAM e spiegarne il funzionamento. Perché si utilizzano strutture di memoria DRAM a matrice? Quali vantaggi offrono? Cosa si intende per modalità di trasferimento "a burst"?

Figure 1

